

10-088264  
PCT/JP00/06261

20.10.00

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JP00/6261  
215.02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 9月16日

REC'D 06 NOV 2000

出 願 番 号

Application Number:

平成11年特許願第262119号

WIPO

PCT

出 願 人

Applicant (s):

松下電器産業株式会社

KU.

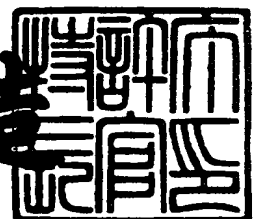
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 8月25日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3066966

【書類名】 特許願  
 【整理番号】 2036410241  
 【提出日】 平成11年 9月16日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H01L 29/78  
 【発明者】

---

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
 会社内

【氏名】 筒 博司

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【プルーフの要否】 不要

---

【書類名】 明細書

【発明の名称】 薄膜トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 チャンネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域からなる半導体層とゲート絶縁膜とゲート電極とソース及びドレイン電極を少なくとも有する薄膜トランジスタであって、前記チャンネル領域と前記ソース領域及び前記ドレイン領域の間には前記ソース領域及び前記ドレイン領域の不純物濃度よりも低い不純物濃度領域が存在し、前記ゲート電極表面は前記ゲート電極材料の酸化膜で被覆されていることを特徴とする薄膜トランジスタ。

【請求項 2】 前記ゲート電極の酸化膜が熱酸化膜であることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 3】 前記ゲート電極はMoまたはMoとWの合金からなることを特徴とする請求項 1 または 2 記載の薄膜トランジスタ。

【請求項 4】 チャンネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域と前記チャンネル領域と前記ソース領域及び前記ドレイン領域の間には前記ソース領域及び前記ドレイン領域の不純物濃度よりも低い不純物濃度領域からなる半導体層と、ゲート絶縁膜と、ゲート電極と、ソース及びドレイン電極を少なくとも有する薄膜トランジスタの製造方法であって、前記低い不純物濃度領域は前記ゲート電極をマスクとしてドナーまたはアクセプタとなる不純物を注入して形成する工程と、前記ゲート電極を酸化して金属酸化膜を形成する工程と、前記ゲート電極及び前記金属酸化膜をマスクにドナーまたはアクセプタとなる不純物を注入してソース領域及びドレイン領域を形成する工程を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 5】 前記ゲート電極を酸化して金属酸化膜を形成する工程は熱酸化であることを特徴とする請求項 4 記載の薄膜トランジスタの製造方法。

【請求項 6】 前記ゲート電極はMoまたはMoとWの合金からなることを特徴とする請求項 4 または 5 記載の薄膜トランジスタの製造方法。

【請求項 7】 チャンネル領域とドナーまたはアクセプタとなる不純物を含有する

ソース及びドレイン領域と前記チャネル領域と前記ソース領域及び前記ドレイン領域の間には前記ソース領域及び前記ドレイン領域の不純物濃度よりも低不純物濃度領域からなる半導体層と、ゲート絶縁膜と、ゲート電極と、ソース及びドレイン電極を少なくとも有する薄膜トランジスタの製造方法であって、前記低不純物濃度領域は前記ゲート電極をマスクとしてドナーまたはアクセプタとなる不純物を注入して形成する工程と、前記ゲート電極を酸化して金属酸化膜を形成する工程と、前記ゲート電極及び前記金属酸化膜をマスクにドナーまたはアクセプタとなる不純物を注入してソース領域及びドレイン領域を形成する工程と前記金属酸化膜を還元する工程を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項 8】 前記ゲート電極を酸化して金属酸化膜を形成する工程は熱酸化であることを特徴とする請求項 7 記載の薄膜トランジスタの製造方法。

【請求項 9】 前記ゲート電極は Mo または Mo と W の合金からなることを特徴とする請求項 7 または 8 記載の薄膜トランジスタの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は各種の半導体装置や液晶表示装置、センサーアレイ、SRAM (Static Random Access Memory) 等に応用される薄膜トランジスタ及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

以下、従来の薄膜トランジスタの例として、液晶表示装置用に開発が進められているポリシリコン薄膜トランジスタを、図面を用いて説明を行う。

##### 【0003】

近年薄膜トランジスタを用いた液晶表示の分野では、高価な石英基板ではなく安価なガラス基板が使用可能な比較的低温（概ね 600℃以下）で作成できる多結晶シリコン薄膜トランジスタ（以下、「低温poly-Si TFT」と略記する）が注目を集めている。例えば、「Proceedings of the 15th International Display Research Conference (1995) p.p.941-942」に記載されている低温poly-Si T

FTを従来例として、図7を参照しながら簡単に説明する。

【0004】

この従来例の低温poly-Si TFTの製造方法は、まず基板1上に非晶質シリコン層を全面に堆積後、エキシマレーザーを照射し基板上の非晶質シリコン層を局部的に加熱溶融して結晶化させ多結晶シリコン層3を得る。次にゲート絶縁膜4として120nmの $\text{SiO}_2$ 層を形成した後550℃でアニールする。

【0005】

次に、ゲート電極5-1をAlを用いて形成する。このとき、poly-Si TFTの課題であるリーク電流を減少させるため、オフセット構造を陽極酸化を利用して形成する。まず、Alを全面に堆積後、第1回目の陽極酸化を行い表面に薄い第一の陽極酸化膜16-1を形成する。次に、フォトリソグラフィーでレジストのゲート電極パターンを形成し、露出部の第一の陽極酸化膜16-1とAlをエッチングして除去する。そして、サイドのAl露出部を第2回目の陽極酸化を行って第二の陽極酸化膜16-2を形成してから、レジストを除去する。次いで、第3回目の陽極酸化を行って第三の陽極酸化膜16-3を形成後、陽極酸化膜16-1～3をマスクとして $\text{SiO}_2$ を除去して、poly-Siを露出させる。この状態でイオンドーピングを行って不純物を注入すると、poly-Siの露出部には不純物イオンが注入されてソース領域9及びドレイン領域10が形成されるが、 $\text{SiO}_2$ や陽極酸化膜が残っている部分には不純物が注入されないため、オフセット領域11が形成される。そして $\text{SiO}_2$ からなる層間絶縁膜12を形成した後、コンタクトホール13を形成する。最後にAlを用いてソース電極14及びドレイン電極15を形成することにより低温poly-Si TFTを作製している。

【0006】

【発明が解決しようとする課題】

上記図7に示す従来の低温poly-Si TFTを作製する場合、以下の課題が生じる。図5に示した例では、低温poly-Si TFTのリーク電流を改善させるため、オフセット構造を採用しているが、その製造プロセスは陽極酸化を3回も行わなければならないため、工程が複雑で工程数が増加しコスト高を招く。また、オフセット構造の場合は、オフセット長を基板全面にわたって均一に制御する必要があ

るが、従来例では陽極酸化膜厚で制御するとは言うものの均一性にも課題を有している。

#### 【0 0 0 7】

本発明はかかる点に鑑み、低コストで均一性と特性と信頼性に優れた薄膜トランジスタ及びその製造方法を提供することを目的とする。

#### 【0 0 0 8】

##### 【課題を解決するための手段】

これらの課題を解決するために、本発明の発明者が様々に検討したところ、Mo またはMoとWの合金はガラス基板の使用可能な600℃以下で酸化することが可能であることを見出した。また、水素雰囲気中でアニールすると還元されてもとのMoまたはMoとWの合金に戻るということも見出した。これらの結果、ソース及びドレイン領域とチャネル領域の間に低不純物領域（いわゆるLDD（Lightly Doped Drain）領域）を完全に自己整合的に形成することができる。すなわち、本発明の薄膜トランジスタ及びその製造方法はチャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域と前記チャネル領域と前記ソース領域及び前記ドレイン領域の間には前記ソース領域及び前記ドレイン領域の不純物濃度よりも低不純物濃度領域からなる半導体層と、ゲート絶縁膜と、ゲート電極と、ソース及びドレイン電極を少なくとも有する薄膜トランジスタ及びその製造方法であって、前記低不純物濃度領域は前記ゲート電極をマスクとしてドナーまたはアクセプタとなる不純物を注入して形成する工程と、前記ゲート電極を酸化して金属酸化膜を形成する工程と、前記ゲート電極及び前記金属酸化膜をマスクにドナーまたはアクセプタとなる不純物を注入してソース領域及びドレイン領域を形成する工程を含むことを特徴とする。

#### 【0 0 0 9】

##### 【発明の実施の形態】

本発明に係る第一の薄膜トランジスタは、チャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域からなる半導体層とゲート絶縁膜とゲート電極とソース及びドレイン電極を少なくとも有する薄膜トランジスタであって、前記チャネル領域と前記ソース領域及び前記ドレイン領域の間に

は前記ソース領域及び前記ドレイン領域の不純物濃度よりも低い不純物濃度領域が存在し、前記ゲート電極表面は前記ゲート電極材料の酸化膜で被覆されていることを特徴としたものである。本発明によれば、性能と信頼性に優れた薄膜トランジスタが提供できるという作用を有する。

## 【0010】

本発明に係る第二の薄膜トランジスタは、第一の薄膜トランジスタにおいて、ゲート電極の酸化膜が熱酸化膜であることを特徴としたものである。本発明によれば、均一性が向上し、性能と信頼性に優れた薄膜トランジスタが提供できるという作用を有する。

## 【0011】

本発明に係る第三の薄膜トランジスタは、第一または第二の薄膜トランジスタにおいて、前記ゲート電極はMoまたはMoとWの合金からなることを特徴としたものである。本発明によれば、低コストで、性能と信頼性に優れた薄膜トランジスタが提供できるという作用を有する。

## 【0012】

本発明に係る第四の薄膜トランジスタは、チャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域と前記チャネル領域と前記ソース領域及び前記ドレイン領域の間には前記ソース領域及び前記ドレイン領域の不純物濃度よりも低い不純物濃度領域からなる半導体層と、ゲート絶縁膜と、ゲート電極と、ソース及びドレイン電極を少なくとも有する薄膜トランジスタの製造方法であって、前記低い不純物濃度領域は前記ゲート電極をマスクとしてドナーまたはアクセプタとなる不純物を注入して形成する工程と、前記ゲート電極を酸化して金属酸化膜を形成する工程と、前記ゲート電極及び前記金属酸化膜をマスクにドナーまたはアクセプタとなる不純物を注入してソース領域及びドレイン領域を形成する工程を含むことを特徴としたものである。本発明によれば、性能と信頼性に優れた薄膜トランジスタの製造方法が提供できるという作用を有する。

## 【0013】

本発明に係る第五の薄膜トランジスタは、第四の薄膜トランジスタの製造方法において、ゲート電極の酸化膜が熱酸化膜であることを特徴としたものである。



本発明によれば、均一性が向上し、性能と信頼性に優れた薄膜トランジスタの製造方法が提供できるという作用を有する。

## 【 0 0 1 4 】

本発明に係る第六の薄膜トランジスタは、第四または第五の薄膜トランジスタの製造方法において、前記ゲート電極はMoまたはMoとWの合金からなることを特徴としたものである。本発明によれば、低コストで、性能と信頼性に優れた薄膜トランジスタの製造方法が提供できるという作用を有する。

## 【 0 0 1 5 】

本発明に係る第七の薄膜トランジスタは、チャネル領域とドナーまたはアクセプタとなる不純物を含有するソース及びドレイン領域と前記チャネル領域と前記ソース領域及び前記ドレイン領域の間には前記ソース領域及び前記ドレイン領域の不純物濃度よりも低不純物濃度領域からなる半導体層と、ゲート絶縁膜と、ゲート電極と、ソース及びドレイン電極を少なくとも有する薄膜トランジスタの製造方法であって、前記低不純物濃度領域は前記ゲート電極をマスクとしてドナーまたはアクセプタとなる不純物を注入して形成する工程と、前記ゲート電極を酸化して金属酸化膜を形成する工程と、前記ゲート電極及び前記金属酸化膜をマスクにドナーまたはアクセプタとなる不純物を注入してソース領域及びドレイン領域を形成する工程と前記金属酸化膜を還元する工程を含むことを特徴としたものである。本発明によれば、性能と信頼性に優れた薄膜トランジスタの製造方法が提供できるという作用を有する。

## 【 0 0 1 6 】

本発明に係る第八の薄膜トランジスタは、第七の薄膜トランジスタの製造方法において、ゲート電極の酸化膜が熱酸化膜であることを特徴としたものである。本発明によれば、均一性が向上し、性能と信頼性に優れた薄膜トランジスタの製造方法が提供できるという作用を有する。

## 【 0 0 1 7 】

本発明に係る第九の薄膜トランジスタは、第七または第八の薄膜トランジスタの製造方法において、前記ゲート電極はMoまたはMoとWの合金からなることを特徴としたものである。本発明によれば、低コストで、性能と信頼性に優れた

薄膜トランジスタの製造方法が提供できるという作用を有する。

【0018】

以下、本発明の実施の形態を図面を用いて説明する。

【0019】

(実施の形態1)

図1は、本発明の第1の実施の形態の薄膜トランジスタ及びその製造方法を説明するための工程断面図であり、以下順を追って説明する。

【0020】

ガラス基板1中の不純物の拡散を防ぐためのバッファ層2として $\text{SiO}_2$ 膜を被着した基板1（コーニング社製#1737ガラス）上に例えばシラン（ $\text{SiH}_4$ ）を原料ガスとして用いた減圧CVD法により膜厚30～150nmで、非晶質シリコン（以下a-Siと略記する）を形成し、フォトリソグラフィーとエッチングによりトランジスタが形成されるところにのみa-Siを残す。そして、XeClエキシマレーザーアニールによりa-Siを結晶化して多結晶シリコン3を得る（図1（a））。

【0021】

そして、TEOS（Tetraethylorthosilicate:  $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ ）を原料ガスとして用いたプラズマCVD法でゲート絶縁膜4となる $\text{SiO}_2$ を100nmの厚みで全面に堆積する。その後、例えばMoW合金（W濃度：15at.%）を用いてゲート電極5を400nmの厚みで形成する（図1（b））。ここでは、W濃度として15%を選択したが、15%に限定するものではなくプロセスや抵抗値などの設計要素に応じて適宜選択すればよい。

【0022】

そして、このゲート電極をマスクとして水素希釈ホスフィン（ $\text{PH}_3$ ）のプラズマを生成し、質量分離を行わずに加速電圧は70kVで総ドーズ量は $2 \times 10^{13} \text{cm}^{-2}$ の条件で、イオンドーピングすることにより、低不純物領域（Lightly Doped Drain: 以下ではLDD領域と略記する）6を形成する（図1（b））。

【0023】

その後、例えば、450℃、酸素雰囲気中で熱処理を行うことによってMoW

合金の酸化膜 7 を成長させる (図 1 (c))。酸化時間または温度または雰囲気 (酸素濃度) によって酸化層の厚みは自在にコントロールが可能であるが本実施の形態では  $0.4 \mu\text{m}$  の酸化層を成長させた。残膜として残った MoW 合金は約  $200 \text{ nm}$  であった (図 1 (c))。

## 【 0 0 2 4 】

そして、この酸化層と残った MoW 合金をマスクとして水素希釈ホスフィン ( $\text{PH}_3$ ) のプラズマを生成し、質量分離を行わずに加速電圧は  $70 \text{ kV}$  で総ドーズ量は  $1 \times 10^{15} \text{ cm}^{-2}$  の条件で、イオンドーピングすることにより、ソース領域 9 及びドレイン領域 10 を形成する (図 1 (d))。

## 【 0 0 2 5 】

注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアニールのような工程を付加しないこともできるが、より確実な活性化を図るため、 $400^\circ\text{C}$  以上でのアニールやエキシマレーザー照射や RTA (Rapid Thermal Anneal) による局所的な加熱を行ってもよい。そして、TEOS (Tetraethyl orthosilicate:  $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ ) を原料ガスとして用いたプラズマ CVD 法で  $\text{SiO}_2$  を層間絶縁膜 12 として全面に堆積し、次にコンタクト・ホール 13 を形成し、ソース電極 14 及びドレイン電極 15 として例えばアルミニウム (Al) をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化することにより、poly-Si TFT が完成する (図 1 (e))。

## 【 0 0 2 6 】

本実施の形態 1 では、実際には、LDD 領域以外にも不純物の注入されていないいわゆるオフセット領域 11 が存在するが、オフセット領域 11 は不純物が注入されていないので、広い意味では不純物量が少ないとみなせるため、本発明ではオフセット領域も LDD 領域の一部として扱う。

## 【 0 0 2 7 】

図 2 に、完成した TFT のドレイン電流のゲート電圧依存性の関係を示す。酸化膜の厚みによって OFF 電流が下がり、良好な TFT 特性を示していることがわかる。

## 【 0 0 2 8 】

尚、本実施の形態 1 では、プラズマ CVD 法による a-Si を用いたが、プラズマ CVD 以外の減圧 CVD 法やスパッタ法等で形成しても良い。

## 【0029】

また、半導体材料として多結晶シリコン 3 を用いたが、非晶質シリコンや単結晶シリコンでも可能であるし、他の半導体材料、例えばゲルマニウム (Ge) やシリコン・ゲルマニウム合金 (SiGe) 等を用いても良い。

## 【0030】

また、本実施の形態 1 では多結晶を得るため、非晶質堆積後、多結晶化を XeCl エキシマレーザーを用いたが他の ArF、KrF 等のエキシマレーザーや Ar レーザー等でも良いし、600℃程度のアニールによる固相成長を行っても良い。但し、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いなければならない。

## 【0031】

また、結晶化以降において、水素プラズマにさらしたりや水素アニールを行うことにより、多結晶シリコン 3 の粒界や粒内のトラップ準位を補償して結晶性をあげる工程を付加することが望ましい。

## 【0032】

また、層間絶縁膜 12 として TEOS を用いたプラズマ CVD 法による SiO<sub>2</sub> を用いたが、他の方法、例えば AP-CVD (Atmospheric Pressure CVD) 法による SiO<sub>2</sub> や LTO (Low Temperature Oxide)、ECR-CVD による SiO<sub>2</sub> 等でも良いことは言うまでもない。また、材料としても窒化シリコンや酸化タンタル、酸化アルミニウム等も用いることができるし、これらの薄膜の積層構造をとっても良い。

## 【0033】

また、ソース電極 14 およびドレイン電極 15 の材料として Al を用いたが、アルミニウム (Al)、タンタル (Ta)、モリブデン (Mo)、クロム (Cr)、チタン (Ti) 等の金属またはそれらの合金でも良いし、不純物を多量に含む poly-Si や poly-SiGe 合金や ITO 等の透明導電層等でも良い。

## 【0034】

また、不純物としてはリンを用いたが、アクセプタとなるボロンや砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に作成して、CMOS回路を基板上につくり込むことも可能であることも言うまでもない。

【0035】

(実施の形態2)

図3は、本発明の第2の実施の形態の薄膜トランジスタ及びそのの製造方法を説明するための工程断面図であり、以下順を追って説明する。

【0036】

ガラス基板中の不純物の拡散を防ぐためのバッファ層2として $\text{SiO}_2$ 膜を被着した基板1（コーニング社製#1737ガラス）上に例えばシラン（ $\text{SiH}_4$ ）を原料ガスとして用いた減圧CVD法により膜厚30～150nmで、非晶質シリコン（以下a-Siと略記する）を形成し、フォトリソグラフィーとエッチングによりトランジスタが形成されるところにのみa-Siを残す。そして、XeClエキシマレーザーアニールによりa-Siを結晶化してpoly-Si3を得る（図3（a））。

【0037】

そして、TEOS（Tetraethylorthosilicate:  $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ ）を原料ガスとして用いたプラズマCVD法でゲート絶縁膜4となる $\text{SiO}_2$ を100nmの厚みで全面に堆積する。その後、例えばMoW合金（W濃度：15at.%）を用いてゲート電極5-2を400nmの厚みで形成する。ここでは、W濃度として15%を選択したが、15%に限定するものではなくプロセスや抵抗値などの設計要素に応じて適宜選択すればよい。そして、このゲート電極をマスクとして水素希釈ホスフィン（ $\text{PH}_3$ ）のプラズマを生成し、質量分離を行わずに加速電圧は70kVで総ドーズ量は $2 \times 10^{13} \text{cm}^{-2}$ の条件で、イオンドーピングすることにより、低不純物領域（Lightly Doped Drain：以下ではLDD領域と略記する）6を形成する（図3（b））。

【0038】

その後、例えば、450℃、酸素雰囲気中で熱処理を行うことによってMoW

合金の酸化膜 7 を成長させる。酸化時間または温度または雰囲気（酸素濃度）によって酸化層の厚みは自在にコントロールが可能であるが本実施の形態では 0.4  $\mu\text{m}$  の酸化層を成長させた。残膜として残った MoW 合金は約 200 nm であった（図 3（c））。

## 【0039】

そして、この酸化層と残った MoW 合金をマスクとして水素希釈ホスフィン（ $\text{PH}_3$ ）のプラズマを生成し、質量分離を行わずに加速電圧は 70kV で総ドーズ量は  $1 \times 10^{15} \text{cm}^{-2}$  の条件で、イオンドーピングすることにより、ソース領域 9 及びドレイン領域 10 を形成する（図 3（d））。

## 【0040】

注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400℃以上でのアニールやエキシマレーザー照射や RTA（Rapid Thermal Anneal）による局所的な加熱を行ってもよい。そして、フッ酸を用いて、MoW の酸化物を除去する（図 3（e））。

## 【0041】

その後、TEOS（Tetraethylorthosilicate:  $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ ）を原料ガスとして用いたプラズマ CVD 法で  $\text{SiO}_2$  を層間絶縁膜 12 として全面に堆積し、次にコンタクト・ホール 13 を形成し、ソース電極 14 及びドレイン電極 15 として例えばアルミニウム（Al）をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化することにより、poly-Si TFT が完成する（図 3（f））。

## 【0042】

本実施の形態 2 でも、実際には、LDD 領域以外にも不純物の注入されていないいわゆるオフセット領域 11 が存在するが、実施の形態 1 と同様に本発明ではオフセット領域 11 も LDD 領域の一部として扱う。

## 【0043】

図 4 に完成した TFT のドレイン電流のゲート電圧依存性の関係を示す。酸化膜の厚みによって OFF 電流が下がり、良好な TFT 特性を示していることがわか

る。

【0044】

尚、本実施の形態2では、プラズマCVD法によるa-Siを用いたが、プラズマCVD以外の減圧CVD法やスパッタ法等で形成しても良い。

【0045】

また、半導体材料として多結晶シリコン3を用いたが、非晶質シリコンや単結晶シリコンでも可能であるし、他の半導体材料、例えばゲルマニウム(Ge)やシリコン・ゲルマニウム合金(SiGe)等を用いても良い。

【0046】

また、本実施の形態2では多結晶を得るため、非晶質堆積後、多結晶化をXeClエキシマレーザーを用いたが他のArF、KrF等のエキシマレーザーやArレーザー等でも良いし、600℃程度のアニールによる固相成長を行っても良い。但し、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いなければならない。

【0047】

また、結晶化以降において、水素プラズマにさらしたりや水素アニールを行うことにより、多結晶シリコン3の粒界や粒内のトラップ準位を補償して結晶性をあげる工程を付加することが望ましい。

【0048】

また、層間絶縁膜12としてTEOSを用いたプラズマCVD法によるSiO<sub>2</sub>を用いたが、他の方法例えばAP-CVD (Atmospheric Pressure CVD) 法によるSiO<sub>2</sub>やLTO (Low Temperature Oxide)、ECR-CVDによるSiO<sub>2</sub>等でも良いことは言うまでもない。また、材料としても窒化シリコンや酸化タンタル、酸化アルミニウム等も用いることができるし、これらの薄膜の積層構造をとっても良い。

【0049】

また、ソース電極14およびドレイン電極15の材料としてAlを用いたが、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)等の金属またはそれらの合金でも良いし、不純物を多量に含

むpoly-Siやpoly-SiGe合金やITO等の透明導電層等でも良い。

【0050】

また、不純物としてはリンを用いたが、アクセプタとなるボロンや砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に作成して、CMOS回路を基板上につくり込むことも可能であることも言うまでもない。

【0051】

(実施の形態3)

図5は、本発明の第3の実施の形態の薄膜トランジスタ及びその製造方法を説明するための工程断面図であり、以下順を追って説明する。

【0052】

ガラス基板中の不純物の拡散を防ぐためのバッファ層2としてSiO<sub>2</sub>膜を被着した基板1（コーニング社製#1737ガラス）上に例えばシラン（SiH<sub>4</sub>）を原料ガスとして用いた減圧CVD法により膜厚30～150nmで、非晶質シリコン（以下a-Siと略記する）を形成し、フォトリソグラフィとエッチングによりトランジスタが形成されるところにのみa-Siを残す。そして、XeClエキシマレーザーアニールによりa-Siを結晶化して多結晶シリコン3を得る（図5（a））。

【0053】

そして、TEOS（Tetraethylorthosilicate: (C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si）を原料ガスとして用いたプラズマCVD法でゲート絶縁膜4となるSiO<sub>2</sub>を100nmの厚みで全面に堆積する。その後、例えばMoW合金（W濃度：15at.％）を用いてゲート電極5-2を400nmの厚みで形成する。ここでは、W濃度として15％を選択したが、15％に限定するものではなくプロセスや抵抗値などの設計要素に応じて適宜選択すればよい。そして、このゲート電極をマスクとして水素希釈ホスフィン（PH<sub>3</sub>）のプラズマを生成し、質量分離を行わずに加速電圧は70kVで総ドーズ量は $2 \times 10^{13} \text{ cm}^{-2}$ の条件で、イオンドーピングすることにより、低不純物領域（Lightly Doped Drain：以下ではLDD領域と略記する）6を形成する（図5（b））。



## 【0054】

その後、例えば、450℃、酸素雰囲気中で熱処理を行うことによってMoW合金の酸化膜7を成長させる。酸化時間または温度または雰囲気（酸素濃度）によって酸化層の厚みは自在にコントロールが可能であるが本実施の形態では0.4 μmの酸化層を成長させた。残膜として残ったMoW合金は約200 nmであった（図5（c））。

## 【0055】

そして、この酸化層と残ったMoW合金をマスクとして水素希釈ホスフィン（PH<sub>3</sub>）のプラズマを生成し、質量分離を行わずに加速電圧は70kVで総ドーズ量は $1 \times 10^{15} \text{cm}^{-2}$ の条件で、イオンドーピングすることにより、ソース領域9及びドレイン領域10を形成する（図5（d））。

## 【0056】

注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400℃以上でのアニールやエキシマレーザー照射やRTA（Rapid Thermal Anneal）による局所的な加熱を行ってもよい。そして、600℃の水素雰囲気中でアニールすることによりMoWの酸化物7を還元する（図5（e））。

## 【0057】

その後、TEOS（Tetraethylorthosilicate: (C<sub>2</sub>H<sub>5</sub>O)<sub>4</sub>Si）を原料ガスとして用いたプラズマCVD法でSiO<sub>2</sub>を層間絶縁膜12として全面に堆積し、次にコンタクト・ホール13を形成し、ソース電極14及びドレイン電極15として例えばアルミニウム（Al）をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化することにより、poly-Si TFTが完成する（図5（f））。

## 【0058】

実施の形態1や実施の形態2ではいわゆるオフセット領域が形成されたが、本実施の形態3ではMoW酸化物を還元することによって、オフセットがなくなり、狭い意味でのLDD領域が形成される。

## 【0059】

図 6 に完成した T F T のドレイン電流のゲート電圧依存性の関係を示す。酸化膜の厚みによって OFF 電流が下がり、良好な T F T 特性を示していることがわかる。また、実施の形態 1 や実施の形態 2 ではいわゆるオフセット領域が形成されたが、本実施の形態 3 では M o W 酸化物を還元することによって、オフセットがなくなるため、実施の形態 1 や実施の形態 2 よりも ON 電流の低下が少ない。

## 【 0 0 6 0 】

尚、本実施の形態 3 では、プラズマ C V D 法による a - S i を用いたが、プラズマ C V D 以外の減圧 C V D 法やスパッタ法等で形成しても良い。また、半導体材料として多結晶シリコン 3 を用いたが、非晶質シリコンや単結晶シリコンでも可能であるし、他の半導体材料、例えばゲルマニウム ( G e ) やシリコン・ゲルマニウム合金 ( S i G e ) 等を用いても良い。

## 【 0 0 6 1 】

また、本実施の形態 3 では多結晶を得るため、非晶質堆積後、多結晶化を X e C l エキシマレーザーを用いたが他の A r F 、 K r F 等のエキシマレーザーや A r レーザー等でも良いし、 6 0 0 ° C 程度のアニールによる固相成長を行っても良い。但し、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いなければならない。

## 【 0 0 6 2 】

また、結晶化以降において、水素プラズマにさらしたりや水素アニールを行うことにより、多結晶シリコン 3 の粒界や粒内のトラップ準位を補償して結晶性をあげる工程を付加することが望ましい。

## 【 0 0 6 3 】

また、層間絶縁膜 1 2 として T E O S を用いたプラズマ C V D 法による S i O<sub>2</sub> を用いたが、他の方法例えば A P - C V D ( Atmospheric Pressure CVD ) 法による S i O<sub>2</sub> や L T O ( Low Temperature Oxide ) 、 E C R - C V D による S i O<sub>2</sub> 等でも良いことは言うまでもない。また、材料としても窒化シリコンや酸化タンタル、酸化アルミニウム等も用いることができるし、これらの薄膜の積層構造をとっても良い。また、ソース電極 1 4 およびドレイン電極 1 5 の材料として A l を用いたが、アルミニウム ( A l ) 、タンタル ( T a ) 、モリブデン ( M o ) 、

クロム (C r)、チタン (T i) 等の金属またはそれらの合金でも良いし、不純物を多量に含むpoly-S i やpoly-S i G e 合金やI T O等の透明導電層等でも良い。

【 0 0 6 4 】

また、不純物としてはリンを用いたが、アクセプタとなるボロンや砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に作成して、CMOS回路を基板上につくり込むことも可能であることも言うまでもない。

【 0 0 6 5 】

【発明の効果】

以上説明を行なってきたように、本発明の薄膜トランジスタによれば性能と信頼性に優れた薄膜トランジスタが提供できる。また、本発明の薄膜トランジスタの製造方法によれば、低コストで、均一性と性能と信頼性優れた薄膜トランジスタを製造できて、その実用上の効果は大きい。

【図面の簡単な説明】

【図 1】

本発明にもとづく第 1 の実施の形態の薄膜トランジスタの製造方法を説明するための主要工程毎の概略断面図

【図 2】

本発明にもとづく第 1 の実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示すグラフ

【図 3】

本発明にもとづく第 2 の実施の形態の薄膜トランジスタの製造方法を説明するための主要工程毎の概略断面図

【図 4】

本発明にもとづく第 2 の実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示すグラフ

【図 5】

本発明にもとづく第 3 の実施の形態の薄膜トランジスタの製造方法を説明する

ための主要工程毎の概略断面図

【図 6】

本発明にもとづく第 3 の実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示すグラフ

【図 7】

従来の薄膜トランジスタの概略断面図

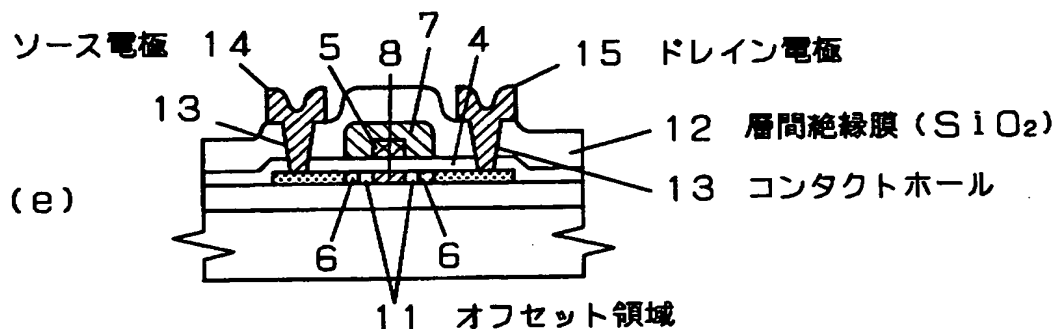
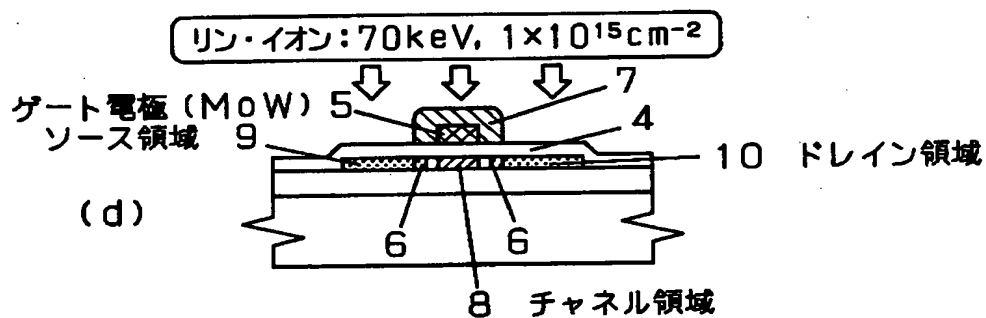
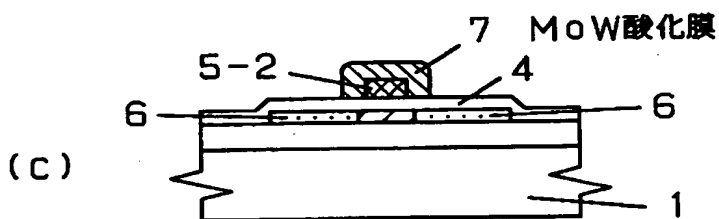
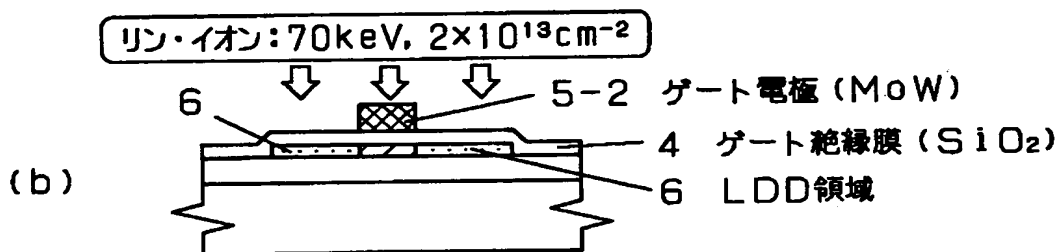
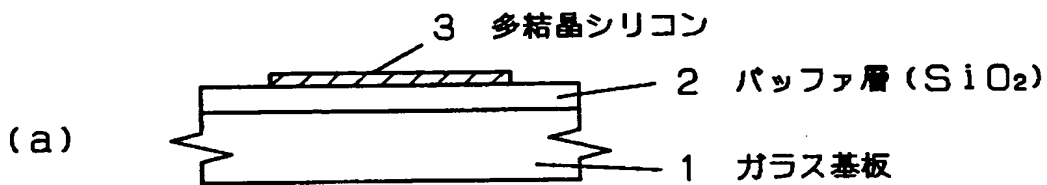
【符号の説明】

- 1 基板
- 2 バッファ層 ( $\text{SiO}_2$ )
- 3 多結晶シリコン
- 4 ゲート絶縁膜 ( $\text{SiO}_2$ )
- 5-1 ゲート電極 (Al)
- 5-2 ゲート電極 (MoW 合金)
- 6 LDD 領域
- 7 MoW 酸化膜
- 8 チャネル領域
- 9 ソース領域
- 10 ドレイン領域
- 11 オフセット領域
- 12 層間絶縁膜
- 13 コンタクトホール
- 14 ソース電極
- 15 ドレイン電極
- 16-1 第一の陽極酸化膜
- 16-2 第二の陽極酸化膜
- 16-3 第三の陽極酸化膜

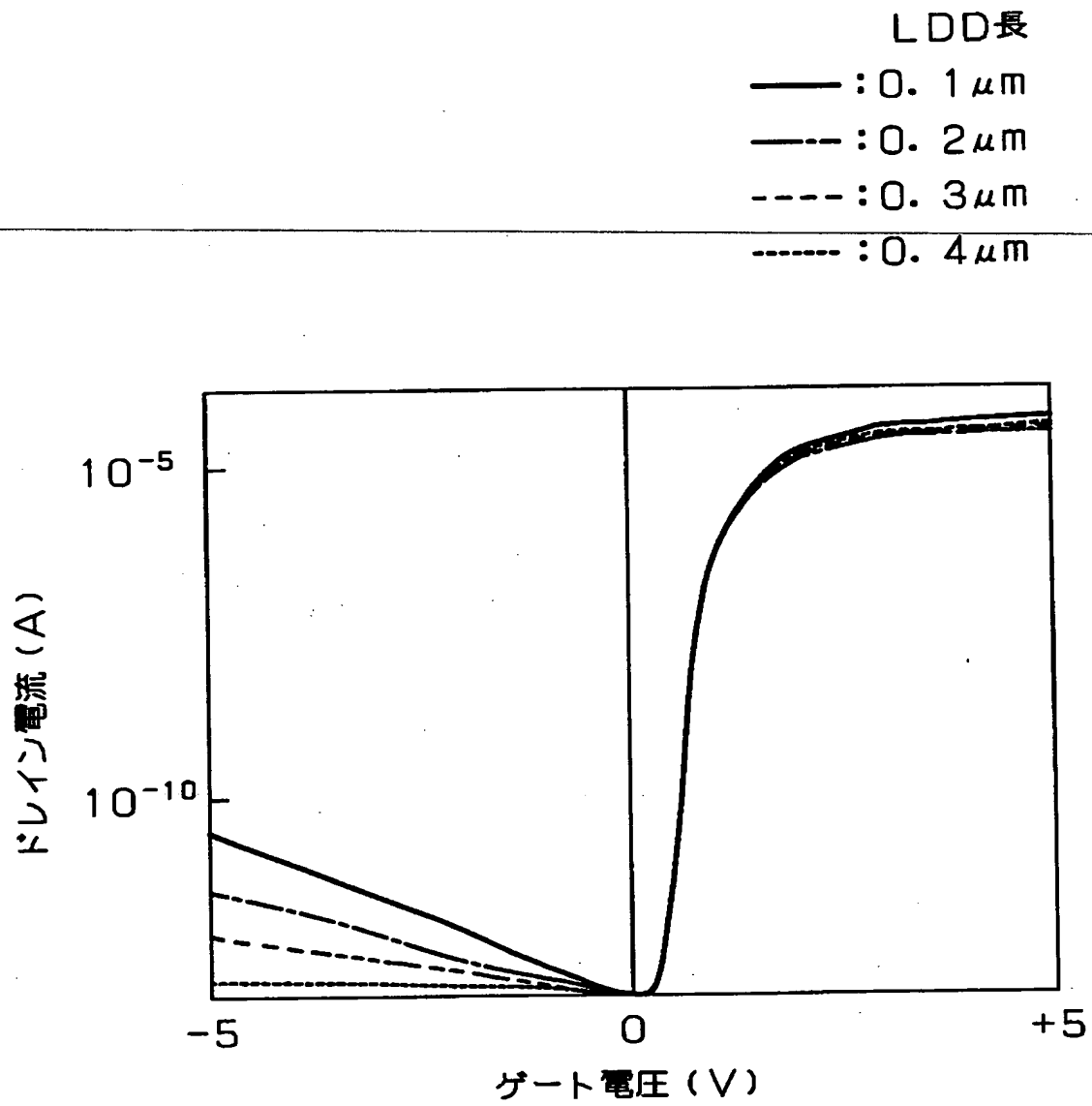
【書類名】

図面

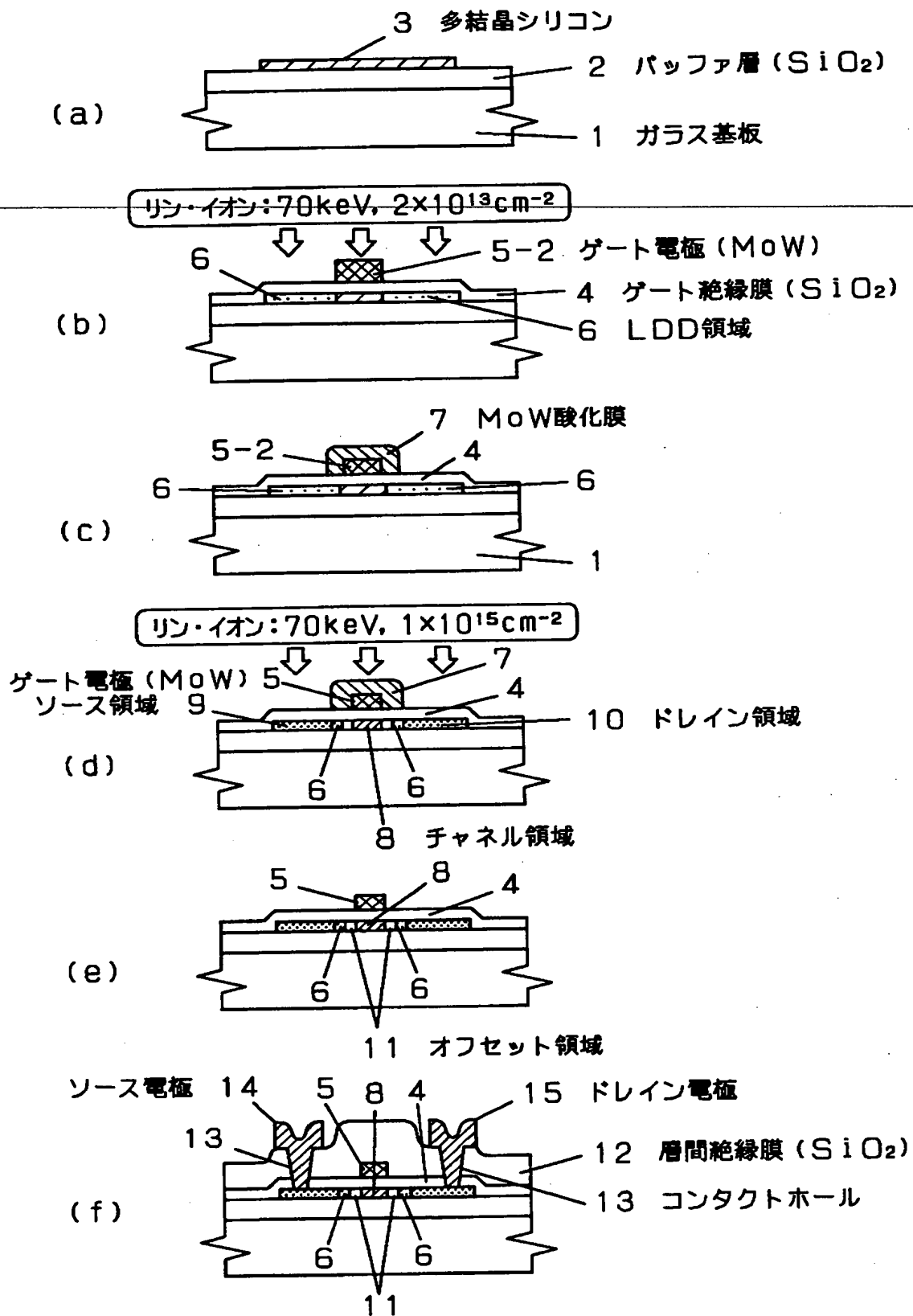
【図 1】



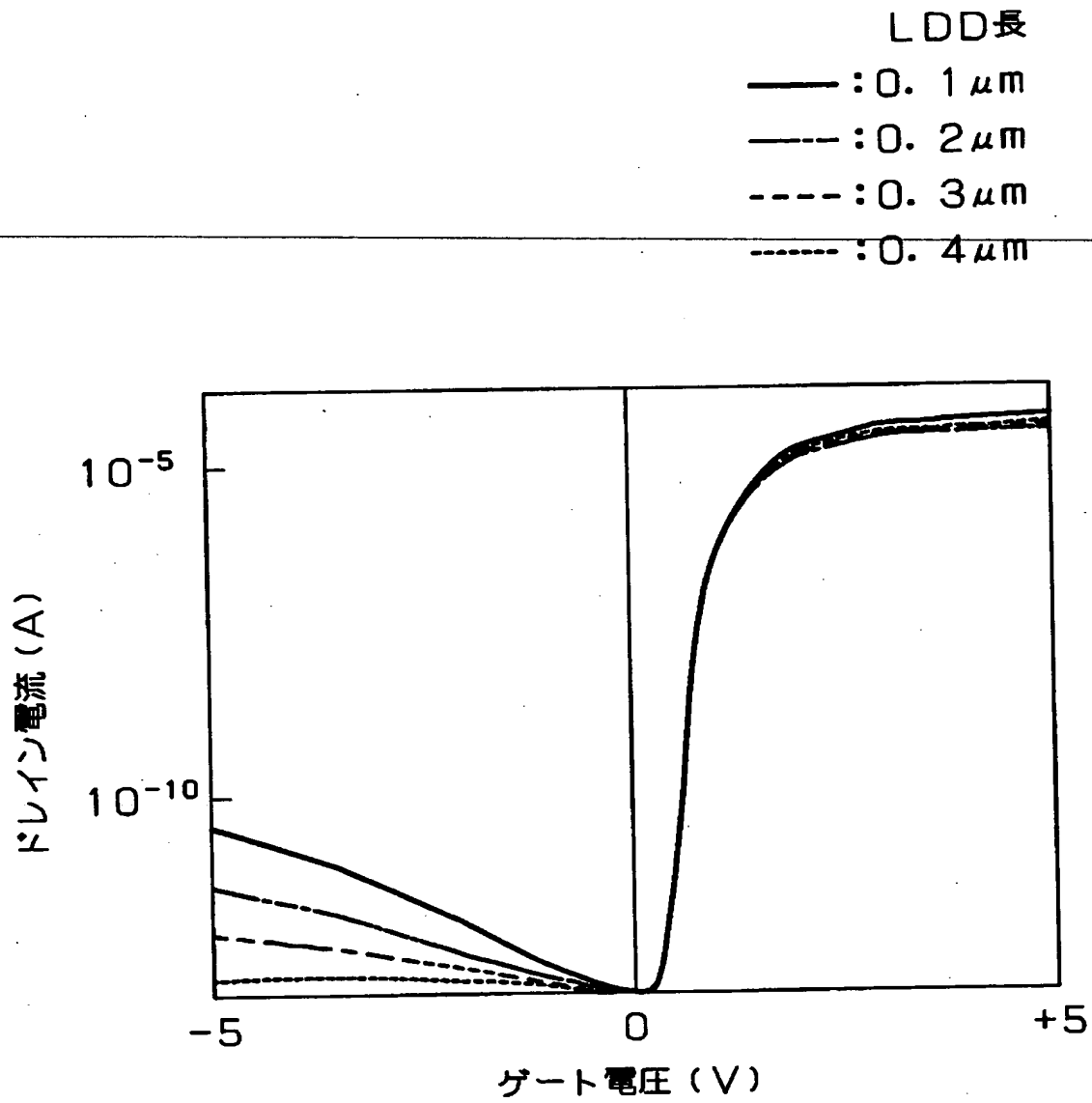
【図 2】



【図 3】

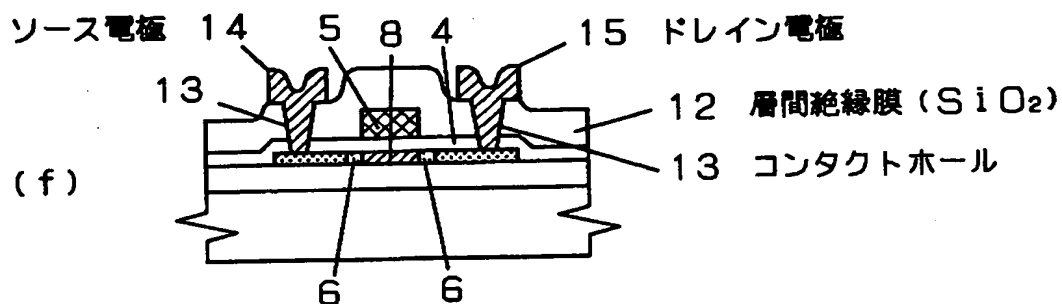
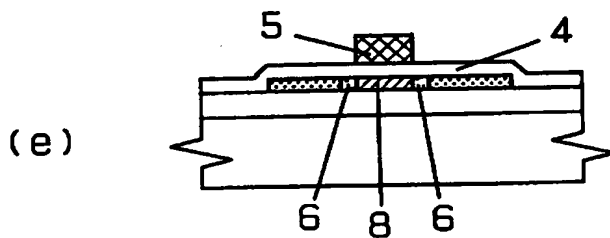
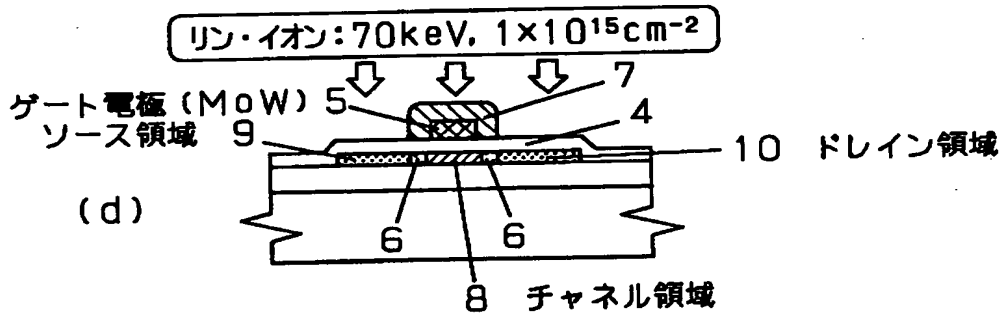
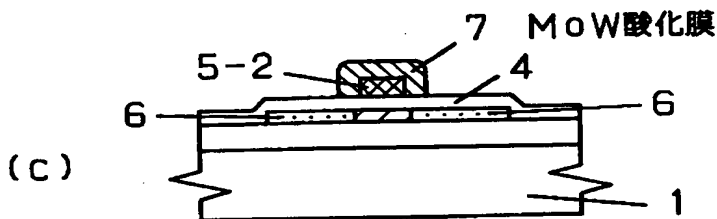
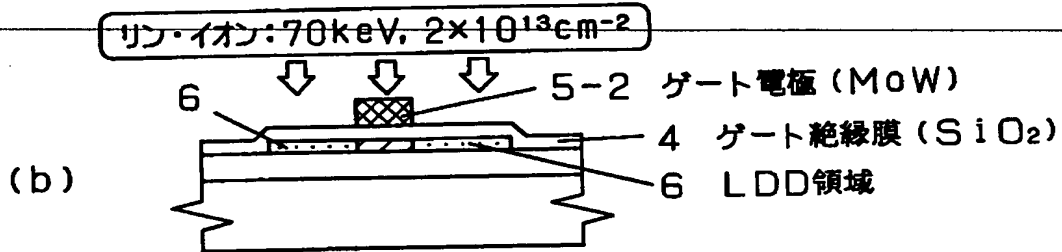
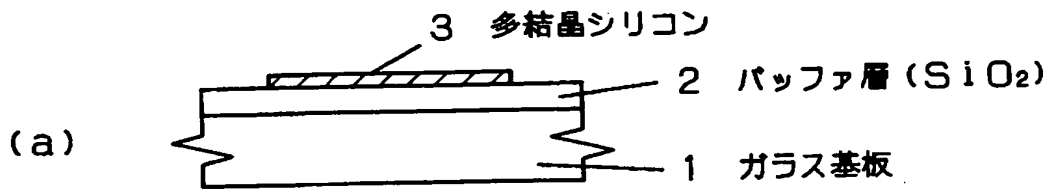


【図 4】

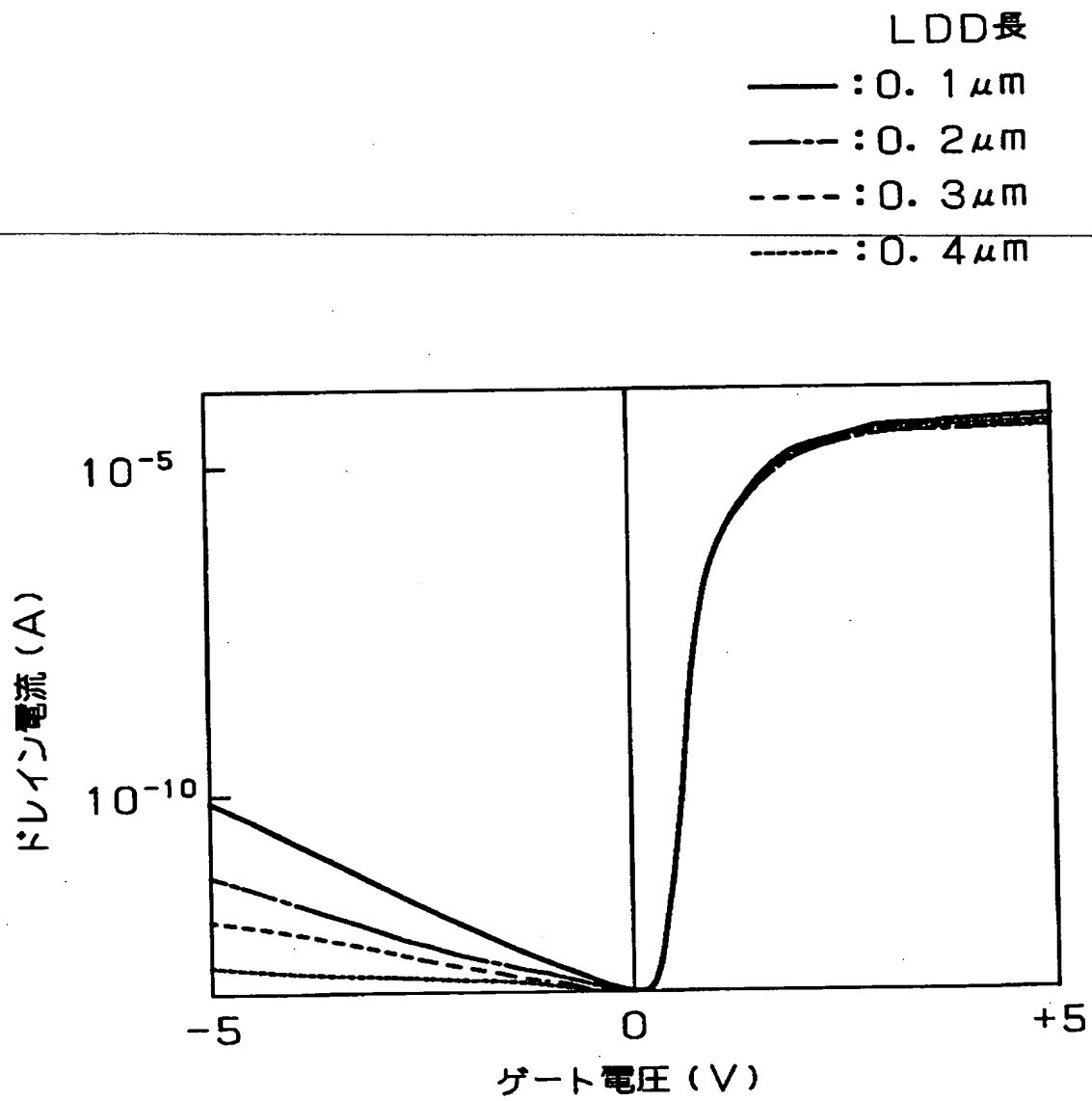




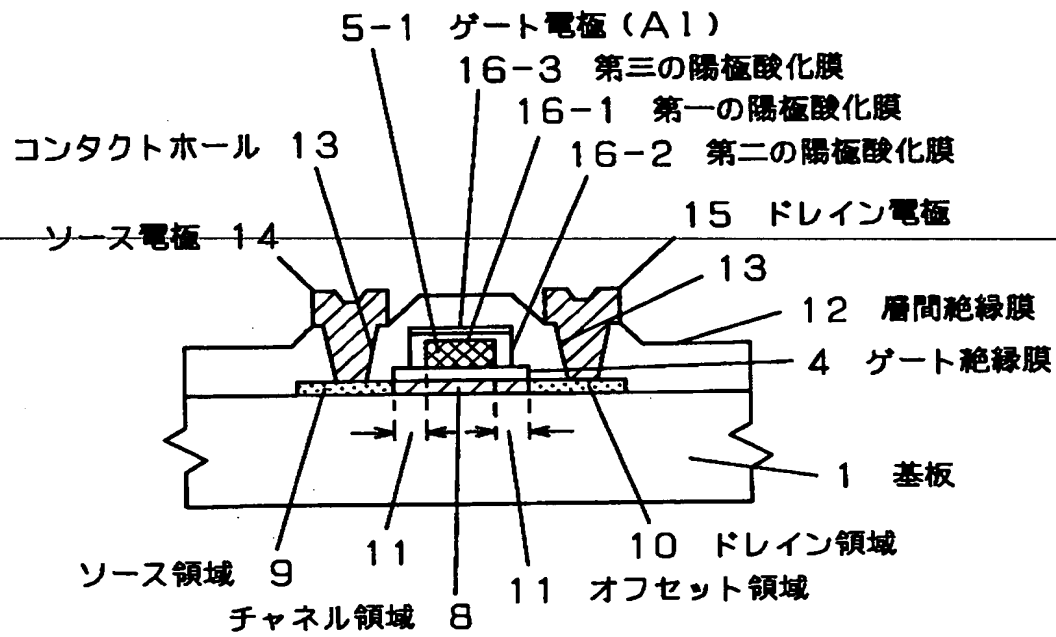
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 本発明は液晶表示素子、センサーアレイ、RAM等に用いられる薄膜トランジスタ及びその製造方法に関するものであり、低コストでかつ性能と信頼性に優れた薄膜トランジスタ及びその製造方法を提供することを目的とする。

【解決手段】 ゲート電極をMoまたはMoW合金で形成し、熱酸化の前後で不純物注入することにより自己整合的にソースドレイン領域とチャネル領域の間に低不純物領域を形成する。

【選択図】 図 1

特平 1 1 - 2 6 2 1 1 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

---

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[ 変更理由 ]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

